

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-165551

(43)Date of publication of application : 11.06.1992

(51)Int.Cl.

G06F 13/00

G06F 13/28

(21)Application number : 02-292914

(71)Applicant : NEC ENG LTD

(22)Date of filing : 30.10.1990

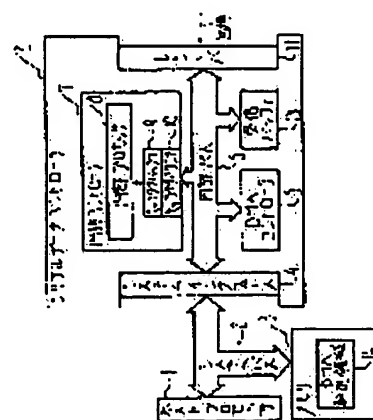
(72)Inventor : HIROMORI HIDESHI

(54) DATA RECEIVING CONTROL SYSTEM FOR SERIAL DATA CONTROLLER

(57)Abstract:

PURPOSE: To improve the throughput by stopping a transfer after the succeeding receiving data DMA transfer by a character counter storage portion and informing an arrival of receiving data, in the case a text conclusion character in data in the course of DMA transfer is confirmed.

CONSTITUTION: This system is provided with a data informing means 8 for comparing a character in data in the course of DMA transfer and a text conclusion character stored in a character buffer 9, stopping the DMA transfer after the DMA transfer of the succeeding receiving data by a piece number portion stored in a character counter in the case of coincidence as a result of comparison, and informing an arrival of the receiving data to a host processor 1. In such a way, the through-put of the host processor can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平4-165551

⑬ Int.Cl.

G 06 F 13/00
13/28

識別記号

3 5 3 S
3 1 0 E

庁内整理番号

7368-5B
7052-5B

⑭ 公開 平成4年(1992)6月11日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 シリアルデータコントローラのデータ受信制御方式

⑯ 特 願 平2-292914

⑰ 出 願 平2(1990)10月30日

⑱ 発 明 者 廣 森 秀 史 東京都港区西新橋3丁目20番4号 日本電気エンジニアリ
ング株式会社内⑲ 出 願 人 日本電気エンジニアリ 東京都港区西新橋3丁目20番4号
ング株式会社

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

シリアルデータコントローラのデータ受信制御
方式

特許請求の範囲

シリアルデータコントローラからホストプロセッサ管理のメモリ空間へデータを受信するシリアルデータコントローラのデータ受信制御方式において、回線を介して受信する受信データのシリアルデータをパラレルデータに変換するレシーバと、前記パラレルデータを一時格納する受信バッファと、前記ホストプロセッサとのインタフェースを制御するシステムインタフェースと、前記受信データを前記受信バッファから前記ホストプロセッサ管理の前記メモリ空間へDMA転送するDMAコントローラと、予め定められた複数のテキスト終結文字を記憶するキャラクタバッファと、前記テキスト終結文字受信後の前記DMA転

送対象の文字総数を記憶するキャラクタカウンタと、前記シリアルデータ全般の受信を制御する内部コントローラとを有して構成され、前記DMA転送中のデータ内のキャラクタと前記キャラクタバッファに記憶された前記テキスト終結文字とを比較し、比較一致した場合に前記キャラクタカウンタに記憶された個数分だけ後続の受信データDMA転送後に前記DMA転送を停止し、前記ホストプロセッサに前記受信データの到着を通知するデータ通知手段を有することを特徴とするシリアルデータコントローラのデータ受信制御方式。

発明の詳細な説明

〔産業上の利用分野〕

本発明はシリアルデータコントローラのデータ受信制御方式に関する。

〔従来の技術〕

従来のシリアルデータコントローラのデータ受信制御方式は、テキストの終結キャラクタに後続してデータ伝送上の誤り検出符号を付加したテキ

スト形式を有するデータを受信する場合、シリアルデータコントローラから1文字受信完了ごとにホストプロセッサへデータの到着とデータ内容を通知していた。

この通知ホストプロセッサが検出し、テキスト終結キャラクタに後続する誤り検出符号を受信するまでホストプロセッサが管理するメモリ上へ展開し、受信データのビット落ち等の誤りを検査し、テキストデータ処理していた。

また、従来のDMA制御方式では、特定された終結キャラクタ受信後に、DMAを停止することは可能であるが、終結キャラクタに後続する誤り検出符号を受信することは不可能であった。

〔発明が解決しようとする課題〕

上述した従来のシリアルデータコントローラのデータ受信制御方式では、DMAを使用できず、ホストプロセッサが1文字受信完了ごとに動作するために、ホストプロセッサのスループットが著しく低下するという欠点がある。

〔課題を解決するための手段〕

キャラクタカウンタに記憶された個数分だけ後続の受信データDMA転送後に前記DMA転送を停止し、前記ホストプロセッサに前記受信データの到着を通知するデータ通知手段を有している。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図、第2図は本実施例における受信データのフォーマットを示す図である。

第1図において、本実施例はホストプロセッサ1がシステムバス2を経由してメモリ3を管理し、シリアルデータコントローラ12を制御する構成となっており、シリアルデータコントローラ12は回線を介して受信する受信データのシリアルデータをパラレルデータに変換するレシーバ11と、パラレルデータを一時格納する受信バッファ13と、ホストプロセッサ1とのインタフェースを制御するシステムインタフェース4と、受信データを受信バッファ13からホストプロセッサ1

本発明のシリアルデータコントローラのデータ受信制御方式は、シリアルデータコントローラからホストプロセッサ管理のメモリ空間へデータを受信するシリアルデータコントローラのデータ受信制御方式において、回線を介して受信する受信データのシリアルデータをパラレルデータに変換するレシーバと、前記パラレルデータを一時格納する受信バッファと、前記ホストプロセッサとのインタフェースを制御するシステムインタフェースと、前記受信データを前記受信バッファから前記ホストプロセッサ管理の前記メモリ空間へDMA転送するDMAコントローラと、予め定められた複数のテキスト終結文字を記憶するキャラクタバッファと、前記テキスト終結文字受信後の前記DMA転送対象の文字総数を記憶するキャラクタカウンタと、前記シリアルデータ全般の受信を制御する内部コントローラとを有して構成され、前記DMA転送中のデータ内のキャラクタと前記キャラクタバッファに記憶された前記テキスト終結文字とを比較し、比較一致した場合に前記

サ1管理のメモリ3の空間へDMA転送するDMAコントローラ5と、予め定められた複数のテキスト終結文字を記憶するキャラクタバッファ8と、テキスト終結文字受信後のDMA転送対象の文字総数を記憶するキャラクタカウンタ10と、シリアルデータ全般の受信を制御する内部コントローラ7と、DMA転送中のデータ内のキャラクタとキャラクタバッファ10に記憶されたテキスト終結文字とを比較し、比較一致した場合にキャラクタカウンタ10に記憶された個数分だけ後続の受信データをDMA転送後にDMA転送を停止し、ホストプロセッサ1に受信データの到着を通知する内部プロセッサ8とを有して構成している。

次に、本実施例の動作について第1図、第2図を併用して説明する。

まず、ホストプロセッサ1は、メモリ3内のDMA転送領域14の開始アドレスと領域サイズをDMAコントローラ5に、テキスト終結文字をキャラクタバッファ9に、誤り検出符号の文字総

数をキャラクタカウンタ10に登録し、シリアルデータコントローラ12に受信開始要求をする。

受信開始要求を受信したシリアルデータコントローラ12は回線からのシリアルデータの受信を開始する。レシーバ11を通過してきたシリアルデータはパラレルデータに変換され、受信バッファ13に一時転送され、内部プロセッサ8の指示でDMAコントローラ5が動作し、DMA転送領域14へ転送される。

内部プロセッサ8は、受信バッファ13に転送された受信データとキャラクタバッファ9に予め登録されたテキスト終結文字とを比較し、異なる場合にはDMA転送領域14へ転送するようにDMAコントローラ5に指示する。

受信データとテキスト終結文字が一致した場合、内部プロセッサ8はキャラクタバッファ10に登録された個数分の後続データを受信バッファ13経由でDMA転送領域14へ転送させた後、DMA転送を停止させ、また同時に、ホストプロセッサ1へ受信データDMA転送領域14へ格納

完了したことを通知する。

〔発明 効果〕

以上説明したように本発明は、回線を介して受信する受信データのシリアルデータをパラレルデータに変換するレシーバと、パラレルデータを一時格納する受信バッファと、ホストプロセッサとのインタフェースを制御するシステムインタフェースと、受信データを受信バッファからホストプロセッサ管理のメモリ空間へDMA転送するDMAコントローラと、予め定められた複数のテキスト終結文字を記憶するキャラクタバッファと、テキスト終結文字受信後のDMA転送対象の文字数を記憶するキャラクタカウンタと、シリアルデータ全般の受信を制御する内部コントローラとを有して構成され、DMA転送中のデータ内のキャラクタとキャラクタバッファに記憶されたテキスト終結文字とを比較し、比較一致した場合にキャラクタカウンタに記憶された個数分だけ後続の受信データDMA転送後にDMA転送を停止し、ホストプロセッサに受信データの到着を通知

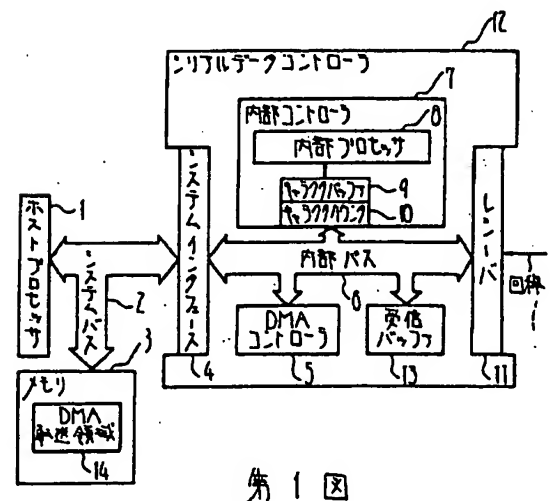
するデータ通知手段を有することにより、DMA転送が可能になり、ホストプロセッサの負荷が著しく向上し、システム全体のスループットを従来より向上させる効果がある。

図面の簡単な説明

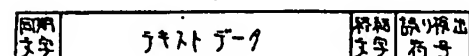
第1図は本発明の一実施例を示すブロック図、第2図は本実施例における受信データのフォーマットを示す図である。

1…ホストプロセッサ、2…システムバス、3…メモリ、4…システムインタフェース、5…DMAコントローラ、6…内部バス、7…内部コントローラ、8…内部プロセッサ、9…キャラクタバッファ、10…キャラクタカウンタ、11…レシーバ、12…シリアルデータコントローラ、13…受信バッファ、14…DMA転送領域。

代理人 弁理士 内 原 晋



第1図



第2図